



Japanese Patent Application Publication No. 2002-43578

[0028]The structure of the invention will be described using Figs. 1, 3, and 11. It is noted that description will be made by raising a transmission type liquid crystal display device as an example. A cross-sectional view of a top view of Fig. 1 along chain lines A-A', B-B', and C-C' is shown in Fig. 11. Fig. 3 is a view showing a part of Fig. 11. The same components are indicated by the same numerals in Figs. 1, 3, and 11.

[0029]Fig. 11 shows a pixel portion of the transmission type liquid crystal display device. In Fig. 11, semiconductor layers 405 to 406, a gate insulation film 483, a gate electrode 432b, a source wiring 433b, a first interlayer film 461, and a second interlayer film 462 are formed on a substrate. Furthermore, a connection electrode 468, a gate wiring 469, a drain electrode 470, and a capacitor connection electrode 471 are formed on the second interlayer film 462, being formed of the same material. Although not shown, the gate wiring is connected with the gate electrode. An insulator 485 is formed together with a pixel electrode 473 and a pixel electrode 474 in the same layer on the second interlayer film 462. The insulator is formed at least on the connection electrode 468, the gate wiring 469, the drain electrode 470, the capacitor connection electrode 471, and the gate wiring 469. Furthermore, an alignment film 475 is formed. As shown in Fig. 3, the alignment film fills gap portions shown in dotted lines formed by the second interlayer film 462, the gate wiring 469, and the insulator 485. Although Fig. 3 shows an example of providing the gap portion, the gap portion can be omitted as shown in Fig. 23.

[0030]In this embodiment, the substrate (not shown) where the gate wiring 469 provided thereon is formed with the insulator 485, for example, as an insulation film as

shown in Figs. 3 and 10 is called an active matrix substrate.

[0031]On the other hand, a common substrate 470 means a substrate where a light shielding resin film 476, a colored layer 477, a colored layer 478, and a planarization film 479 are formed and a common electrode 480 and an alignment film 481 are further formed.

(11)特許出願公開番号

特開2002-43578

(P2002-43578A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ページコード*(参考)
H 0 1 L 29/786		C 0 2 F 1/1337	5 2 5 2 H 0 9 0
G 0 2 F 1/1337	5 2 5	C 0 9 F 9/30	3 3 0 Z 2 H 0 9 2
1/1368			3 4 8 A 5 C 0 9 4
G 0 9 F 9/30	3 3 0	H 0 1 L 29/78	6 1 9 A 5 F 1 1 0
	3 4 8	C 0 2 F 1/136	5 0 0
審査請求 未請求 請求項の数23 O L (全 24 頁) 最終頁に続く			

審査請求 未請求 請求項の数23 OL (全 24 頁) 最終頁に続く

(21)出願番号 特願2000-224566(P2000-224566)

(22)出題日 平成12年7月25日(2000.7.25)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 江口 晋吾

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 發明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

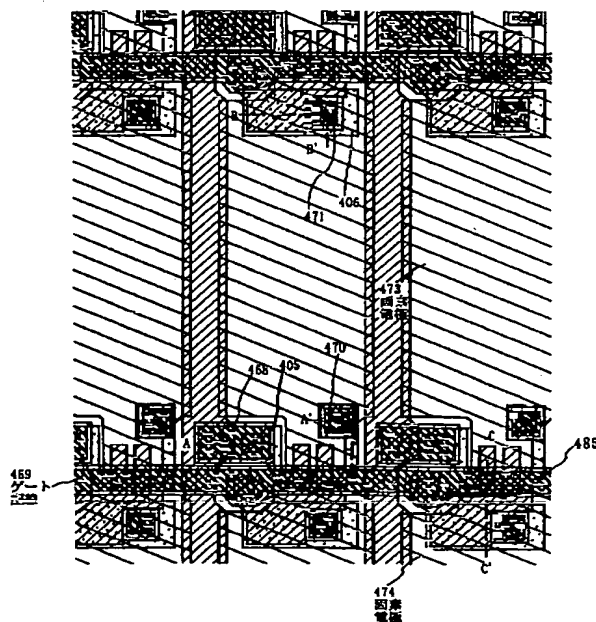
## 最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 同一の層間膜上にゲート配線と容量配線と接続配線を形成した半導体装置において、液晶の焼きつきや特性劣化を低減することを課題とする。

【解決手段】ゲート配線と容量配線と接続配線に絶縁体を設けることで、液晶に直接かかるDC電圧の絶対値を減少させることができ、液晶の焼きつきや特性劣化を低減させることができる。



## 【特許請求の範囲】

【請求項1】ゲート配線と容量配線と接続配線とが形成された半導体装置において、前記ゲート配線と前記容量配線と前記接続配線上にそれぞれ絶縁体の一部が重なるように設けられていることを特徴とする半導体装置。

【請求項2】ゲート配線が形成された半導体装置において、前記ゲート配線上に絶縁体の一部が重なるように設けられていることを特徴とする半導体装置。

【請求項3】層間絶縁膜上にゲート配線と容量配線と接続配線とが形成された半導体装置において、前記ゲート配線と前記容量配線と前記接続配線上には、それぞれ絶縁体が形成され、前記層間絶縁膜と前記絶縁体と、前記ゲート配線または前記容量配線または前記接続配線に接するように配向膜が形成され、前記層間絶縁膜と前記絶縁体と、前記ゲート配線または前記容量配線または前記接続配線により形成される間隙部に前記配向膜が満たされることを特徴とする半導体装置。

【請求項4】層間絶縁膜上にゲート配線が形成された半導体装置において、前記ゲート配線上には、絶縁体が形成され、前記層間絶縁膜と前記絶縁体と、前記ゲート配線に接するように配向膜が形成され、前記層間絶縁膜と前記絶縁体と前記ゲート配線により形成される間隙部に前記配向膜が満たされることを特徴とする半導体装置。

【請求項5】ゲート配線と容量配線と接続配線とが形成された半導体装置において、前記ゲート配線と前記容量配線と前記接続配線上にそれぞれ絶縁体が形成され、前記ゲート配線と前記容量配線と前記接続配線の端部とそれぞれの絶縁体の端部とが重なるように設けられていることを特徴とする半導体装置。

【請求項6】ゲート配線が形成された半導体装置において、前記ゲート配線上に絶縁体が形成され、前記ゲート配線の端部と前記絶縁体の端部とが重なるように設けられていることを特徴とする半導体装置。

【請求項7】請求項1至乃6のいずれか一項において、前記絶縁体は、台型の形状を有することと特徴とする半導体装置。

【請求項8】請求項1至乃7のいずれか一項において、前記絶縁体はアクリル系、ポリイミド系、ポリイミドアミド系、エポキシ系の少なくとも一つを主成分とする有機系樹脂材料であることを特徴とする半導体装置。

【請求項9】請求項1乃至請求項8のいずれかにおいて、前記絶縁体が0.5 $\mu\text{m}$ ～1.0 $\mu\text{m}$ の厚さであることを特徴とする半導体装置。

【請求項10】請求項3または請求項4において、前記配向膜の対数粘度が4～1200 $\text{cm}^3/\text{g}$ であることを特徴とする半導体装置。

【請求項11】請求項3または請求項4において、前記配向膜はポリアミック酸を主成分とすることを特徴とする半導体装置。

【請求項12】請求項1乃至請求項11のいずれか一項

において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項13】ゲート配線と容量配線と接続配線とが形成された半導体装置の作製方法において、前記ゲート配線と前記容量配線と前記接続配線上にそれぞれ絶縁体を形成する工程を少なくとも有する半導体装置の作製方法。

【請求項14】ゲート配線と容量配線と接続配線とが形成された半導体装置の作製方法において、前記ゲート配線と前記容量配線と前記接続配線上にそれぞれ絶縁体を形成する第1の工程と、前記ゲート配線と前記容量配線と前記接続配線の一部を剥離する第2の工程とを少なくとも有する半導体装置の作製方法。

【請求項15】ゲート配線が形成された半導体装置の作製方法において、前記ゲート配線上に絶縁体を形成する工程を少なくとも有する半導体装置の作製方法。

【請求項16】ゲート配線が形成された半導体装置の作製方法において、前記ゲート配線上に絶縁体を形成する第1の工程と、前記ゲート配線の一部を剥離する第2の工程とを少なくとも有する半導体装置の作製方法。

【請求項17】ゲート配線と容量配線と接続配線とが形成された半導体装置の作製方法において、前記ゲート配線と前記容量配線と前記接続配線上にそれぞれ絶縁体を形成する第1の工程と、前記絶縁体と、前記ゲート配線または前記容量配線または前記接続配線に接するように配向膜を形成する第2の工程とを少なくとも有する半導体装置の作製方法。

【請求項18】ゲート配線と容量配線と接続配線とが形成された半導体装置の作製方法において、前記ゲート配線と前記容量配線と前記接続配線上にそれぞれ絶縁体を形成する第1の工程と、前記ゲート配線と前記容量配線と前記接続配線の一部を剥離する第2の工程と、前記絶縁体と、第2工程により一部が剥離されたゲート配線、または第2工程により一部が剥離された容量配線、または第2工程により一部が剥離された接続配線に接するように配向膜を形成する第3の工程とを少なくとも有する半導体装置の作製方法。

【請求項19】ゲート配線が形成された半導体装置の作製方法において、前記ゲート配線上に絶縁体を形成する第1の工程と、前記絶縁膜と前記ゲート配線に接するように配向膜を形成する第2の工程とを少なくとも有する半導体装置の作製方法。

【請求項20】ゲート配線が形成された半導体装置の作製方法において、前記ゲート配線上に絶縁体を形成する第1の工程と、前記ゲート配線の一部を剥離する第2の工程と、前記絶縁体と、第2工程により一部が剥離されたゲート配線に接するように配向膜を形成する第3の工程とを少なくとも有する半導体装置の作製方法。

【請求項21】請求項17乃至請求項20いずれか一項において、前記配向膜は、フレキソ印刷法により形成される工程を少なくとも有する半導体装置の作製方法。

【請求項22】第1の層間絶縁膜と第2の層間絶縁膜とが設けられた外部引出し用の配線と、第1の層間絶縁膜と第2の層間絶縁膜とが設けられた保持容量を同時に作製する半導体装置の作製方法において、前記第2の層間絶縁膜上に絶縁体を形成する第1の工程と、前記外部引出し用の配線に設けられた第2の層間絶縁膜上の絶縁体を剥離する第2の工程と、前記外部引出し用の配線上に設けられた第2の層間絶縁膜の一部と第1の層間絶縁膜の一部とを剥離する第3の工程と、第3の工程により、第2の層間絶縁膜の一部と第1の層間絶縁膜の一部とを剥離された外部引出し用の配線上に導電膜を形成する第4の工程とを少なくとも有する半導体装置の作製方法。

【請求項23】第1の層間絶縁膜と第2の層間絶縁膜とが設けられた外部引出し用の配線を作製する半導体装置の作製方法において、前記外部引出し用の配線上に設けられた第2の層間絶縁膜の一部と第1の層間絶縁膜の一部とを剥離する第1の工程と、第1の工程により、第2の層間絶縁膜の一部と第1の層間絶縁膜の一部とを剥離された外部引出し用の配線上に導電膜を形成する第2の工程とを少なくとも有する半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数100nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0004】液晶表示装置において、高品位な画像を得るために、ゲート配線（走査線）とソース配線（データ線）によって形成されるマトリクス状に画素電極を配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0005】液晶の駆動させるためには、直流駆動の際には焼き付きが問題となるため、交流駆動を行う必要がある。

【0006】

【発明が解決しようとする課題】開口率を向上させる一手段として、従来の半導体装置において、ゲート配線とソース配線との配置を逆にすることが考えられる。すなわち、まず、ソース配線を形成し、次に層間膜（ここでは、図示しない）を形成し、ゲート配線を形成する。ソース配線の上方にまで画素電極を拡大することができ、従来の半導体装置と比べて、開口率が向上する。

【0007】しかしながら、この半導体装置の構成では、剥き出し配線にかかるゲート配線電位（ $-11\text{V}$ ）により、ゲート配線と対向側の電極（図示しない）には常時 $11\text{V}$ の電位差が、ゲート配線と画素電極には $6\text{V} \sim 16\text{V}$ の電位差が存在する。よって、ゲート配線が非選択の期間はゲート電圧で、 $-8\text{V} \sim -11\text{V}$ もの電圧が液晶にかかってしまっていた。これでは、ゲート配線が選択されている期間を除いて同極性の電圧が液晶層に印加されてしまうので、液晶の焼き付き、特性劣化という課題を有していた。焼き付きとは、同一パターンを長時間表示し続けたとき、画面を切りかえても前の表示パターンが残る現象をいう。

【0008】そこで、開口率を向上させる一手段として、同一の層間膜上に画素電極と、ゲート配線を形成した場合に、印加する駆動波形が直流成分を含んでいる場合にこの直流成分が蓄積して、電圧を除いても、ゲート配線に残ってしまう電圧（残留）に関係する液晶の焼き付き、特性劣化という課題を解決する必要がでてくる。

【0009】以上のように、残留DC電圧を抑え、開口率の高い液晶表示装置を実現するためには、従来にない全く新しい画素構成が求められている。

【0010】本願発明は、そのような要求に答えるものであり、液晶の焼き付き、特性劣化という課題を減少させる画素構造を有する液晶表示装置を提供することを課題とする。

【0011】

【課題を解決するための手段】上述した従来技術の課題を解決するために以下の手段を講じた。

【0012】本発明は、ゲート配線が非選択の期間に液晶にかかる同極性のゲート電圧の絶対値を減少させるために、ゲート配線上に絶縁膜を設けることを特徴とする。さらに、容量配線と前記接続配線上にも、絶縁膜を設ける。このように、直列に小さい容量を形成すれば、液晶及び配向膜にかかる電圧を分圧し小さくすることができる。本明細書では、絶縁膜としては、アクリル樹脂を用いたが、レジストや遮光性樹脂膜でもよい。本明細書では、この絶縁膜を絶縁体と呼ぶ。

【0013】ゲート配線（走査線）とソース配線（データ線）によって形成されるマトリクス状に画素電極を配置し、画素電極の各々に接続するスイッチング素子（ここでは、簡略化して図示している。）としてTFTを用いたアクティブマトリクス型において、ゲート配線（点

線部)およびスイッチング素子13に覆い被さるよう  
に、絶縁体を形成する。その後、公知の方法により、配  
向膜を塗布すればよい。保持容量上にも絶縁体が形成さ  
れている。

【0014】前記絶縁体は比誘電率が4.5以下、膜厚  
を0.5~1.0 $\mu\text{m}$ の厚さとするのが好ましい。液  
晶にかかるゲート電圧を減少させるために、前記絶縁膜  
の比誘電率は低いことが好ましい。

【0015】また、前記配向膜の対数粘度が4~120  
0 $\text{cm}^3/\text{g}$ であることが好ましい。

【0016】本発明で開示する発明の構成は、ゲート配  
線と容量配線と接続配線とが形成された半導体装置にお  
いて、前記ゲート配線と前記容量配線と前記接続配線上  
にそれぞれ絶縁体の一部が重なるように設けられたこと  
を特徴とする半導体装置である。

【0017】また、他の発明の構成は、ゲート配線が形  
成された半導体装置において、前記ゲート配線上に絶縁  
体の一部が重なるように設けられたことを特徴とする半  
導体装置である。

【0018】また、他の発明の構成は、層間絶縁膜上に  
ゲート配線と容量配線と接続配線とが形成された半導体  
装置において、前記ゲート配線と前記容量配線と前記接  
続配線上には、それぞれ絶縁体が形成され、前記層間絶  
縁膜と前記絶縁体と、前記ゲート配線または前記容量配  
線または前記接続配線に接するように配向膜が形成さ  
れ、前記層間絶縁膜と前記絶縁体と、前記ゲート配線ま  
たは前記容量配線または前記接続配線により形成される  
間隙部に前記配向膜が満たされることを特徴とする半導  
体装置である。

【0019】また、他の発明の構成は、層間絶縁膜上に  
ゲート配線が形成された半導体装置において、前記ゲー  
ト配線上には絶縁体が形成され、前記層間絶縁膜と前記  
絶縁体と、前記ゲート配線に接するように配向膜が形成  
され、前記層間絶縁膜と前記絶縁体と前記ゲート配線に  
より形成される間隙部に前記配向膜が満たされることを  
特徴とする半導体装置である。

【0020】また、他の発明の構成は、ゲート配線と容  
量配線と接続配線とが形成された半導体装置において、  
前記ゲート配線と前記容量配線と前記接続配線上にそれ  
ぞれ絶縁体が形成され、前記ゲート配線と前記容量配線  
と前記接続配線の端部とそれぞれの絶縁体の端部とが重  
なるように設けられたことを特徴とする半導体装置であ  
る。

【0021】また、他の発明の構成は、ゲート配線が形  
成された半導体装置において、前記ゲート配線上に絶縁  
体が形成され、前記ゲート配線の端部と前記絶縁体の端  
部とが重なるように設けられたことを特徴とする半導体  
装置である。

【0022】また、上記各構成において、前記絶縁体は  
台型の形状を有すること特徴としている。

【0023】また、上記各構成において、前記絶縁体は  
アクリル系、ポリイミド系、ポリイミドアミド系、エポ  
キシ系の少なくとも一つを主成分とする有機系樹脂材料  
であることを特徴としている。

【0024】また、上記各構成において、前記絶縁体が  
0.5 $\mu\text{m}$ ~1.0 $\mu\text{m}$ の厚さであることを特徴としてい  
る。

【0025】また、上記各構成において、前記配向膜の  
対数粘度が4~1200 $\text{cm}^3/\text{g}$ であることを特徴とし  
ている。

【0026】また、上記各構成において、前記配向膜は  
ポリアミック酸を主成分とすることを特徴としている。

【0027】

【発明の実施の形態】本願発明の実施形態について、以  
下に説明する。

【0028】図1、図3と図11により本発明の構成示  
す。ただし、ここでは透過型の液晶表示装置の例にと  
り、以下に説明する。図1の上面図を鎖線A-A'、鎖  
線B-B'、鎖線C-C'で切断した断面図を図11に  
示す。図3は、図11の一部を抽出したものである。図  
1、図3と図11において同じ要素は同じ数字で示す。

【0029】図11は透過型の液晶表示装置の画素部を  
示すものである。図11において、基板上に半導体層4  
05~406、ゲート絶縁膜483、ゲート電極432  
b、ソース配線433b、第1の層間膜461、第2の  
層間膜462が形成されている。さらに、第2の層間膜  
462上に接続電極468、ゲート配線469、ドレイン  
電極470、容量接続電極471が同一の材料で形成  
されている。図示してはいないが、ゲート配線はゲート  
電極と接続している。絶縁体485は、第2の層間膜4  
62上の同一層に画素電極473と画素電極474と共  
に形成されている。そして、少なくとも接続電極46  
8、ゲート配線469、ドレイン電極470、容量接続  
電極471、ゲート配線469上に絶縁体が形成されて  
いる。さらに、配向膜475が形成される。図3のよう  
に、第2の層間膜462とゲート配線469と絶縁体4  
85により形成される点線内の間隙部にも配向膜が満た  
される。図3では、間隙部が設けられた例を示してい  
るが、図23のように、間隙部がなくてもよい。

【0030】本実施形態では、図3及び図10のよう  
に、基板(図示しない)に設けられたゲート配線469  
上に、絶縁膜として、例えば、絶縁体485を形成した  
もののアクティブマトリクス基板という。

【0031】一方、対向基板470とは、基板上に遮光性  
樹脂膜476、着色層477、着色層478、平坦化膜  
479を形成し、さらに、対向電極480、配向膜48  
1を形成したものを指す。

【0032】画素電極上に絶縁膜のない場合には、液晶  
表示装置を駆動した場合、アクティブマトリクス基板の  
ゲート配線から対向電極へとはほぼ垂直方向に電気力線が

発生するが、本実施形態の液晶表示装置を駆動した場合、ゲート配線から、対向電極の方へ発生した電気力線が絶縁体により遮蔽される。

【0033】電気力線とは、各場所での電場の方向を表したものである。液晶は電場との相互作用で配向状態を変え、液晶の誘電異方性が正の時は、液晶分子長軸が電場に対し平行に、また、負の場合には電界に対して垂直に配向するようになる。

【0034】ゲート配線上に絶縁体を形成していない場合のシミュレーションの結果を図5(A)、図6(A)に、ゲート配線上に絶縁体を形成した場合のシミュレーションの結果を図5(B)、図6(B)に示す。入力電圧及び設計構造に関しては、図4に示し、後述する実施例にて詳細に示す。図5は、画素電極の電位が-5V印加時の等電位線のシミュレーション結果であり、図6は、画素電極の電位が+5V印加時の等電位線のシミュレーション結果である。図5及び図6のシミュレーションの結果より、Y軸方向で等電位線の幅が小さくなっていることにより、絶縁体の電界遮蔽効果があることがわかる。

【0035】シミュレーション結果により、電界遮蔽効果によりゲート配線上の絶縁体により電気力線が遮蔽されることがわかる。また、主に間隙部にある配向膜により、その絶縁性のためゲート電圧が分圧され、液晶にかかる実効電圧を低減できると推測される。

【0036】以上のように、図3及び図11に示す画素構造とした場合、液晶の焼き付き、特性劣化という課題を減少させる透過型の液晶表示装置を実現することができる。

【0037】本発明の実施の形態では、絶縁体としてアクリル樹脂を用いたが、レジストや遮光性樹脂でも電界遮蔽効果がみられる。

【0038】液晶にかかる実効電圧を低減させるために、ソース配線及び同一の層に設けられた配線に絶縁体を設けた場合においても、電界遮蔽効果がみられる。

【0039】他の例として図2(上面図)と図24(断面図)のような液晶表示装置があげられる。図2の液晶表示装置は、図1の液晶表示装置の作製工程に新たに1枚のマスクを追加することにより、作製される。少なくとも、半導体層1405、容量配線、接続配線1468、接続配線1470、ゲート配線1468、及び容量配線とゲート配線1469の間隙部、接続配線1468とゲート配線1469の間隙部、接続配線1470とゲート配線1469の間隙部を絶縁体1485が覆っている。

【0040】特に、容量配線とゲート配線1469の間隙部における液晶の乱れがDCストレスと関連があるとみられているため、この構造は、液晶の乱れを抑制することが期待される。

【0041】また、図25のように、ゲート配線(図示

しない)を形成し、次に層間膜(図示しない)を形成し、ソース配線1169上に形成した従来の液晶表示装置に対し、ソース配線1169またはゲート配線(図示しない)上に絶縁体1185を設けた場合においても、電界遮蔽効果がみられる。

【0042】本明細書の発明について、以下に示す実施例で詳細な説明を行う。

【0043】

【実施例】【実施例1】本実施例では同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT(nチャネル型TFT及びpチャネル型TFT)を同時に作製する方法について図7～図9を用いて説明する。本実施例では、透過型の表示装置を形成することを特徴としている。

【0044】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100を用いる。なお、基板100としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0045】次いで、基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。本実施例では下地膜101として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜101の一層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜101aを10～200nm(好ましくは50～100nm)形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜101a(組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ )を形成した。次いで、下地膜101の二層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜101bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜101b(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ )を形成した。

【0046】次いで、下地膜上に半導体層102～106を形成する。半導体層102～106は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層102～106の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好まし

くはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化 (500℃、1時間) を行った後、熱結晶化 (550℃、4時間) を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターンニング処理によって、半導体層102~106を形成した。

【0047】また、半導体層102~106を形成した後、TFTのしきい値を制御するために微量な不純物元素 (ボロンまたはリン) のドーピングを行ってもよい。

【0048】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm<sup>2</sup> (代表的には200~300mJ/cm<sup>2</sup>) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300Hzとし、レーザーエネルギー密度を300~600mJ/cm<sup>2</sup> (代表的には350~500mJ/cm<sup>2</sup>) とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を50~90%として行えばよい。

【0049】次いで、半導体層102~106を覆うゲート絶縁膜107を形成する。ゲート絶縁膜107はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化シリコン膜 (組成比Si=32%、O=59%、N=7%、H=2%) で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0050】また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波 (13.56MHz) 電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0051】次いで、図7(A)に示すように、ゲート絶縁膜107上に膜厚20~100nmの第1の導電膜108と、膜厚100~400nmの第2の導電膜109とを積層形成する。本実施例では、膜厚30nmのTa<sub>2</sub>N<sub>5</sub>膜からなる第1の導電膜108と、膜厚370nmのW膜からなる第2の導電膜109を積層形成した。Ta<sub>2</sub>N<sub>5</sub>膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に六フッ化タングステン (WF<sub>6</sub>) を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW (純度99.9999%) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができた。

【0052】なお、本実施例では、第1の導電膜108をTa<sub>2</sub>N<sub>5</sub>、第2の導電膜109をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル (Ta) 膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン (TiN) 膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) 膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) 膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0053】次いで、フォトリソグラフィ法を用いてレジストからなるマスク110~115を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICPエッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合したエッチング条件ではW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0054】上記第1のエッチング処理により、基板側



に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は $15 \sim 45^\circ$ となる。こうしてW膜及びTa<sub>2</sub>N膜をエッチングして、第1の形状の導電層117～122（第1の導電層117a～122aと第2の導電層117b～122b）を形成する。116はゲート絶縁膜であり、第1の形状の導電層117～122で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。（図7（B））

【0055】次いで、レジストからなるマスク110～115を除去せずに第2のエッチング処理を行う。エッチング用ガスにCF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>とO<sub>2</sub>とを用い、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）には20WのRF（13.56MHz）電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このエッチング条件によりW膜をエッチングする。

【0056】上記第2のエッチング処理によりW膜を異方性エッチングし、かつ、第1の導電層であるTa<sub>2</sub>N膜がW膜より遅いエッチング速度でわずかにエッチングされ、第2の形状の導電層123～128（第1の導電層123a～128aと第2の導電層123b～128b）を形成する。129はゲート絶縁膜であり、第2の形状の導電層123～128で覆われない領域は、エッチングされて薄くなった。

【0057】次いで、第1のドーピング処理を行う。ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。この場合、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いた。例えば、加速電圧を70～120keVとし、不純物領域（A）130～134を形成する。（図7（C））ドーピングは、第2の形状の導電層123～127を不純物元素に対するマスクとして用い、第2の導電層123a～127aのテーパー部下方における半導体層にも不純物元素が添加されるようにドーピングする。こうして、自己整合的に形成された不純物領域（A）130～134のうち、導電層123～127と重なる不純物領域が130a、131a、132a、133a、134aであり、導電層123～127と重ならない不純物領域が130b、131b、132b、133b、134bである。

【0058】次いで、フォトリソグラフィ法を用いてレジストからなるマスク135、136、137、139を形成した後、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を上げて低い加速電圧の条件としてn型を付与する不純物元素を半導体層にドーピングする。不純物領域（B）139～14

5には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度範囲でn型を付与する不純物元素を添加する。（図8（A））【0059】こうして、nチャネル型TFTのソース領域またはドレイン領域となる不純物領域（B）139、141、142を形成することができた。また、画素部において、導電層126と重なる不純物領域（A）133bと不純物領域142との間には、導電層126と重ならない領域145が形成される。この領域145はnチャネル型TFTのLDD領域として機能する。また、不純物領域（B）140、143に添加された不純物元素は、後のゲッタリング工程で主にチャネル形成領域となる半導体層中のニッケル濃度を低減させるために添加する。

【0060】そして、レジストからなるマスク136、137を除去した後、新たにレジストからなるマスク144～146を形成して、第3のドーピング処理を行う。（図8（B））この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域（C）147～151を形成する。第2の導電層124、127を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域（C）を形成する。本実施例では、不純物領域（C）147～151はジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドーピング法で形成する。また、不純物領域（C）147～151にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm<sup>3</sup>となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0061】次いで、レジストからなるマスク144～146を除去し、全面を覆う第1の層間絶縁膜152を形成する。この第1の層間絶縁膜152としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。

【0062】次いで、図8（C）に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよい。なお、熱アニール法の他に、レーザーアニール法、またはラビッドサーマルアニール法（RTA法）を適用することができる。

【0063】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域（B）139～143にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下が

り、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0064】また、第1の層間絶縁膜152を形成する前に活性化処理を行っても良い。ただし、123～127に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0065】以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第2の形状の導電層123～126がゲート電極として機能する。また、128はソース配線、127は保持容量を形成するための第2の電極として機能する。

【0066】さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0067】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0068】次いで、第1の層間絶縁膜152上に有機絶縁物材料から成る第2の層間絶縁膜153を形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成した。

【0069】その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理により、画素電極154を形成する。透明導電膜の材料は、酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化インジウム酸化スズ合金( $\text{In}_2\text{O}_3-\text{SnO}_2$ ; ITO膜)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITO膜のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金( $\text{In}_2\text{O}_3-\text{ZnO}$ )を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO膜に対して熱安定性にも優れているので、ドレイン配線の端面で、Al膜が画素電極と接触して腐蝕反応をすることを防止できる。同様に、酸化亜鉛( $\text{ZnO}$ )も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛( $\text{ZnO}:\text{Ga}$ )などを用いることができる。

【0070】そして、膜厚100nmのTi膜と、膜厚400nmの合金膜(AlとSiとの合金膜)を形成し、さらにアクリル樹脂を500nmの厚さで形成する。

【0071】次いで、レジストパターンを形成し、ドライエッチング法（減圧下、活性ガスプラズマを利用す

る。）により、まず、アクリル樹脂をエッチングすることにより、絶縁体155～162、絶縁体177、絶縁体485を形成した。(図9(A))

【0072】次いで、ウェットエッチング法により、Al混酸を用いて、合金膜(AlとSiとの合金膜)をエッチングした。次いで、ドライエッチング法により、Tiをエッチングした。そして、ソース配線128に達するコンタクトホールと各不純物領域139、141、142、147、150に達するコンタクトホールを形成するためのパターニングを行う。

【0073】そして、駆動回路406においては、各不純物領域とそれぞれ電氣的に接続する配線169～174を形成する。

【0074】また、画素部においては、接続電極468、ゲート配線469、接続電極154を形成する。

(図9(B))この接続電極468によりソース配線128は、画素TFTと電氣的な接続が形成される。また、ゲート配線176は、第1の電極(第2の形状の導電層126)と電氣的な接続が形成される。

【0075】また、画素電極154は、接続電極470を介して画素TFTの不純物領域178(ドレイン領域)と電氣的な接続が形成される。

【0076】以上の様にして、nチャネル型TFT、pチャネル型TFT、nチャネル型TFTを有する駆動回路と、画素TFT、保持容量とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上、アクティブマトリクス基板と呼ぶ。

【0077】駆動回路のnチャネル型TFTの半導体層はチャネル形成領域179、ゲート電極を形成する第2の形状の導電層123と重なる不純物領域(A)130b(GOLD領域)とソース領域またはドレイン領域として機能する不純物領域(B)139を有している。また、pチャネル型TFTの半導体層はチャネル形成領域180、ゲート電極を形成する第2の形状の導電層124と重なる不純物領域(C)149、ソース領域またはドレイン領域として機能する不純物領域(C)147を有している。また、nチャネル型TFTの半導体層はチャネル形成領域181、ゲート電極を形成する第2の形状の導電層125と重なる不純物領域(A)132b(GOLD領域)、ソース領域またはドレイン領域として機能する不純物領域(B)141を有している。

【0078】画素部の画素TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層128と重なる不純物領域(A)143(GOLD領域)、ゲート電極の外側に形成される不純物領域138(LDD領域)とソース領域またはドレイン領域として機能する不純物領域(B)148を有している。また、保持容量の一方の電極として機能する半導体層150、151a、151bには不純物領域(C)と同じ濃度で、それぞれp型を付与する不純物元素が添加されてい

る。保持容量は、絶縁層129（ゲート絶縁膜と同一膜）を誘電体として、第2の電極127と、半導体層150、151a、151bとで形成している。

【0079】また、本実施例で作製したアクティブマトリクス基板を用いて実施例3の工程に従えば、液晶表示装置が得られる。

【0080】なお、本実施例は実施例3、実施例7、実施例8のいずれとも組み合わせることが可能である。

【0081】本実施例で作製するアクティブマトリクス基板の画素部の上面図を図1に示す。なお、図10と図11に対応する部分には同じ符号を用いている。図10と図11中の鎖線A-A'は、図1中の鎖線A-A'で切断した断面図に対応している。また、図10と図11中の鎖線B-B'は、図1中の鎖線B-B'で切断した断面図に対応している。図11中の鎖線C-C'は図1中の鎖線C-C'で切断した断面図に対応している。

【0082】図12(A)は、図1中の鎖線C-C'で切断した断面図の絶縁体485に注目して撮ったアクティブマトリクス基板作製終了後のSEM写真である。ゲート配線上に、きのこのかさのような形状で、絶縁体が形成されている。

【0083】ウェットエッチング法を用い、間隙部を形成したが、絶縁体と端部が重なり、間隙部を有しない液晶表示装置が得られる。

【0084】[実施例2]図3の構造にて電位分布のシミュレーションを実施した(図4)。リファレンスとして、ゲート配線上の絶縁体がないものについてもシミュレーションを実施した(図5)。条件は以下の通りである。液晶モデルはZLI-4792、セルギャップは4 $\mu$ m、画素ピッチは126 $\mu$ m、絶縁体の幅は10 $\mu$ m、絶縁体の高さは1 $\mu$ m、絶縁体の比誘電率は3.0、ゲート配線電位（非選択時）は、-11V、ゲート電極の高さは0.5 $\mu$ m、画素電極の高さ0.1 $\mu$ m、対向電極の電位は、0V、対向電極の高さは、0 $\mu$ m（便宜上）、画素電極-ゲート配線間隔を6 $\mu$ mとした。最大電位差を生じる組み合わせ+5Vと-5Vの2ケースで実施した。

【0085】図5は、画素電極の電位が-5V時の等電位線のシミュレーション結果であり、図6は、画素電極の電位が+5V時の等電位線のシミュレーション結果である。図5及び図6のシミュレーションの結果より、絶縁体を形成した方が、Y軸方向で等電位線の幅が小さくなっていることにより絶縁体による電界遮蔽効果があることがわかる。

【0086】[実施例3]本実施例では、実施例1で作製したアクティブマトリクス基板から、透過型の液晶表示装置を作製する工程を以下に説明する。説明には図10～図11を用いる。

【0087】まず、実施例1に従い、図9(B)の状態のアクティブマトリクス基板を得た後、図10のように

アクティブマトリクス基板に形成された絶縁体485と画素電極473上及び画素電極474上に配向膜475を形成する。ここでは、配向膜としてポリアミク酸を主成分とするSE7792（日産化学製）を用いた。SE7792は、主にポリアミク酸のN-メチル-2-ピロリドン溶液からなる。配向膜475をフレキソ印刷法で、所定の領域に印刷した。印刷装置は、日本写真印刷製のオングストローマーを用いた。

【0088】その後、配向膜を80℃のホットプレートで90秒のプリベークを行った後、200℃のクリーンオープンで1.5時間焼成した。この焼成により、ポリアミク酸は、脱水反応により、閉環してポリイミドになる。

【0089】配向膜印刷及び焼成後のSEM写真をそれぞれ図12(B)に示す。また、図の(A)に比べ、図12(B)の絶縁体は、たれさがっているのが顕著である。この理由の一つとして、焼成により、体積収縮が起ることが一因と思われる。

【0090】また、通常、第2の層間膜462とゲート配線469と絶縁体485により形成される間隙部では、第2の層間膜462とゲート配線469と絶縁体485により形成される間隙部に配向膜を充填できないと予想していた。このように間隙部に充填できない場合には、間隙部の大きさを制御することができず、信頼性に問題を生じる。しかし、本実施例では、恐らく、SE7792の低い粘性のために、間隙にも配向膜を充填できたと考察される。

【0091】次いで、ラビング処理を行う。なお、本実施例では配向膜475を形成する前に、アクリル樹脂膜等の有機樹脂膜をバターニングすることによって基板間隔を保持するための柱状のスペーサ（図示しない）を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0092】次いで、対向基板470を用意する。次いで、対向基板470上に、遮光性膜476、第1の着色層477、第2の着色層478、平坦化膜479を形成する。図示はしていないが、第3の着色層も対向基板470上の第1の着色層および第2の着色層と同一平面上に設けられている。

【0093】次いで、平坦化膜479上に透明導電膜からなる対向電極480を少なくとも画素部に形成し、対向基板の全面に配向膜481を形成し、ラビング処理を施した。

【0094】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤458で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。ただし、シール剤の剥がれを防止するために、図10のように、形成した配向膜の外側にシール剤を設けた。

【0095】その後、両基板の間にシール剤の開口部（図示せず）から液晶材料482を注入し、封止剤（図示せず）によって完全に封止する。液晶材料482としてZLI-4792（メルク製）を用いた。このようにして図3に示す透過型の液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、アクティブマトリクス基板及び対向基板に偏光板（図示しない）を貼りつけた。そして、公知の技術を用いて、FPCを貼りつけた。

【0096】以上のようにして作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【0097】本実施例では、フレキソ印刷法により、配向膜を形成したが、スピンコーター法を用いて、配向膜を形成しても良い。ただし、シール剤剥がれ防止のために、シール剤を塗布する場所に位置する配向膜を焼成前に剥離することが望ましい。

【0098】本実施例では、配向膜としてポリアミック酸を用いたが、間隙部に充填できる程度の粘性の低いものであれば、特に限定されない。本発明の主成分であるポリアミック酸の対数粘度（ $\eta_{ln}$ ）の値は、4～1200 cm<sup>3</sup>/gとされ、好ましくは5～600 cm<sup>3</sup>/gとされる。ここでの対数粘度とは、N-メチル-2-ピロリドンを溶媒として用い、ポリアミック酸の濃度が5.0×10<sup>-4</sup> g/cm<sup>3</sup>である溶液に対し、24℃で粘度の測定を行い、下記の数式によって求めたものである。

【0099】

【数1】

$$\eta_{ln} = \frac{\ln(\text{溶液流下時間/溶媒流下時間})}{(\text{ポリアミック酸の重量濃度})}$$

【0100】ただし、残留DC電圧の発生が、同一の電界が印加しつづけられることにより、分極が原因だと考えるとポリアミック酸やポリイミドよりも極性の低い配向膜が、望ましいと考えられる。

【0101】本実施例では、アクティブマトリクス基板側に絶縁体としてアクリル樹脂を用いたが、絶縁膜として遮光性樹脂膜を設けてもよい。この際、対向基板に遮光性樹脂膜を形成する工程が不要になるので、液晶表示装置の作製工程数を増やすことなく、液晶の焼きつきや特性劣化を低減した液晶表示装置を完成させることもできる。また、レジストを採用してもよい。

【0102】【実施例4】アクティブマトリクス型液晶表示装置の他の例の構成を図13及び図14の断面図を用いて説明する。

【0103】このアクティブマトリクス基板はゲート絶縁膜801及びソース配線802をタングステンで同時に形成し、ゲート配線803及び接続配線804をアルミニウムで同時に形成したことを特徴とする。

【0104】図13のように、基板上に半導体層805

～806、ゲート絶縁膜883、ゲート電極832b、ソース配線802、第1の層間膜861、第2の層間膜862、画素電極473、画素電極474が形成されている。さらに、第2の層間膜862上にゲート配線803、接続配線804、ゲート配線869、ドレイン電極870、容量接続電極871が同一の材料で形成されている。図示してはいないが、ゲート配線はゲート電極と接続している。そして、少なくとも接続電極868、ドレイン電極870、容量接続電極871、ゲート配線869上に絶縁体が形成されている。さらに、配向膜867が形成される。第2の層間膜862とゲート配線869と絶縁体875により形成される間隙部にも配向膜が満たされている。

【0105】図14のように、nチャネル型TFT301、pチャネル型TFT302、nチャネル型TFT303を有する駆動回路306と、画素TFT304、保持容量305とを有する画素部307が同一基板上に形成されている。

【0106】駆動回路301のpチャネル型TFT301はチャネル形成領域805、高濃度p型不純物領域からなるソース領域806、ドレイン領域807を有したシングルドレインの構造が形成されている。チャネル形成領域805上にはゲート絶縁膜821が形成され、さらに、第1の電導層822、第2の電導層823が積層されている。pチャネル型TFT301に覆い被さるように、第1の層間絶縁膜824、第2の層間絶縁膜825が形成されている。ソース領域806とドレイン領域807には、それぞれ、電気的に接続する配線826と電気的に接続する配線827が形成されている。電気的に接続する配線826と電気的に接続する配線827上には、それぞれ、絶縁体828と絶縁体829が形成されている。

【0107】第1のnチャネル型TFT302には、島状半導体層にチャネル形成領域808、LDD (Lightly Doped Drain) 領域809、ドレイン領域811、ソース領域812が形成されている。チャネル形成領域808とLDD領域809上にはゲート絶縁膜821が形成され、さらに、第2の電導層831、第2の電導層832が形成されている。第1のnチャネル型TFT302に覆い被さるように、第1の層間絶縁膜824、第2の層間絶縁膜825が形成されている。ドレイン領域811とソース領域812には、それぞれ、電気的に接続する配線833と電気的に接続する配線834が形成されている。電気的に接続する配線833と電気的に接続する配線834上には、それぞれ、絶縁体835と絶縁体836が形成されている。

【0108】駆動回路の第2のnチャネル型TFT303には、島状半導体層にチャネル形成領域813、ゲート電極814と一部が重なるLDD領域815とLDD領域837、ドレイン領域838、ソース領域839を

有している。チャンネル形成領域813上にはゲート絶縁膜821が形成され、さらに、ゲート電極814、第2の電導層841が形成されている。第2のnチャネル型TFT303に覆い被さるように、第1の層間絶縁膜824、第2の層間絶縁膜825が形成されている。ドレイン領域838とソース領域839には、それぞれ、電氣的に接続する配線842と電氣的に接続する配線843が形成されている。電氣的に接続する配線842と電氣的に接続する配線843上には、それぞれ、絶縁体844と絶縁体845が形成されている。

【0109】画素TFT304には、島状半導体層にチャンネル形成領域816、LDD領域817、ソースまたはドレイン領域818及びソースまたはドレイン領域846が形成されており、このソースまたはドレイン領域818は、ドレイン配線848を介して画素電極820と電氣的な接続を形成する。チャンネル形成領域816上には、第1の電導層850は、第2の電導層849が形成されている。また、接続電極804を介して、第1の電導層802とソースまたはドレイン領域846とが電氣的な接続を形成する。第一の電導層802は、第二の電導層847及びゲート絶縁膜801上に形成されている。接続電極804及びゲート配線803上には、絶縁体872が形成されている。ドレイン配線848上には、絶縁体853が形成されている。

【0110】また、保持容量305は、画素電極820と不純物領域819と電氣的な接続配線871を介して接続している。電氣的な接続配線871上には絶縁体852が形成されている。

【0111】本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0112】次いで、アクティブマトリクス基板上に配向膜875を形成し配向処理を行う。なお、本実施例では配向膜875を形成する前に、アクリル樹脂膜等の有機樹脂膜をバターンニングすることによって基板間隔を保持するための柱状のスペーサ（図示はしない）を所望の位置に形成する。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0113】次いで、対向基板870を用意する。対向基板870上に遮光性膜876、第1の着色層877、第2の着色層878、平坦化膜879を形成する。

【0114】次いで、対向電極880を画素部に形成し、対向基板の全面に配向膜881を形成し、配向処理を施した。

【0115】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤858で貼り合わせる。その後、両基板の間に液晶882を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。

【0116】このようにして、図13～図14に示すようなアクティブマトリクス型液晶表示装置が完成する。

図13は、図1の上面図を鎖線A-A'、鎖線B-B'で切断した断面図及び鎖線C-C'の断面図であるが、図14は、図1の上面図を鎖線A-A'、鎖線B-B'及び駆動回路の鎖線で切断した断面図である。鎖線C-C'で切断した断面図はゲート配線869に注目して切断した断面図である。ゲート配線869上には、絶縁体885が設けられている。さらに、ゲート配線869と絶縁体885の周辺には、配向膜875で満たされている。872と885は同一の絶縁体885であるが、切り口が異なる。また、ゲート配線869の上方には、第1の着色層877、第2の着色層878が形成されている。

【0117】よって、図13～図14に示すようなアクティブマトリクス型液晶表示装置でも、ゲート配線が非選択の期間に液晶にかかるゲート電圧の絶対値を減少させることができる。さらに、本発明により、液晶の焼き付きや特性劣化を低減した液晶表示装置を提供できる。

【0118】【実施例5】本実施例では、逆スタガー型TFTを有する液晶表示装置について図15～図16を用いて説明する。

【0119】図15のように、画素TFTのゲート電極901が基板表面上に形成され、第1の絶縁層902を介して半導体層が形成されている。ソース配線903は、ゲート電極901と同じ基板表面上に形成されている。ゲート配線904と接続電極907は、半導体層上に形成された第2の絶縁層908の上に形成されている。そして、ゲート配線904及び接続電極906は、コンタクトホールを介してゲート電極901及び半導体層とそれぞれ接続している。また、ソース配線903と半導体層は、ゲート配線904と同じ層に形成された接続配線907により接続されている。さらに、保護膜905及び平坦膜908が用いられている。

【0120】基板上に半導体層905～906が形成される。第2の絶縁層908の上に画素電極973と画素電極974が形成される。半導体層905上方には、ゲート配線969が形成され、さらに、ゲート配線969上には、絶縁体985が形成されている。

【0121】図16のように、同一の基板上にpチャネル型TFT301とnチャネル型TFT302を有する駆動回路305と、画素TFT303と保持容量304を有する画素部306が形成される。

【0122】駆動回路305のpチャネル型TFT301には、チャンネル形成領域909、ソースまたはドレイン領域913が形成されている。チャンネル形成領域909とソースまたはドレイン領域910の下方には、一部が重なるように、第1の絶縁層902と第2の絶縁層943とゲート配線942が形成されている。チャンネル形成領域909上には第3の絶縁層944が形成されている。pチャネル型TFT302に覆い被さるように、第1の層間絶縁膜945、第2の層間絶縁膜908が形成

されている。ソースまたはドレイン領域910は、接続配線934を介してソース配線931と接続されている。接続配線934上には、絶縁体946が形成されている。ソースまたはドレイン領域947は、ソースまたはドレイン配線948と電氣的に接続している。ドレイン配線948上には、絶縁体949が形成されている。

【0123】nチャネル型TFT302には、チャネル形成領域911、LDD領域912、ソースまたはドレイン領域913が形成されている。

【0124】チャネル形成領域911、LDD領域912の下方には、一部が重なるように、第1の絶縁層902と第2の絶縁層943とゲート配線935が形成されている。チャネル形成領域911上には第3の絶縁層950が形成されている。nチャネル型TFT302に覆い被さるように、第1の層間絶縁膜945、第2の層間絶縁膜908が形成されている。ソースまたはドレイン領域913は、ソースまたはドレイン配線951で電氣的に接続している。ソースまたはドレイン配線951上には、絶縁体952が形成されている。

【0125】画素部306の画素TFT303は、マルチゲート構造であり、チャネル形成領域914、ソースまたはドレイン領域915、LDD領域916が形成される。チャネル形成領域914の下方には、一部が重なるように、第1の絶縁層902と第2の絶縁層943とゲート電極901が形成されている。チャネル形成領域914上には第3の絶縁層953が形成されている。nチャネル型TFT302に覆い被さるように、第1の層間絶縁膜945、第2の層間絶縁膜908が形成されている。ソースまたはドレイン領域915は、ソース配線903と接続電極907を介して電氣的に接続している。画素TFT303上方には、ゲート配線969が形成されている。図示してはいないが、ゲート配線はゲート電極と接続している。接続電極907とソース配線969上には、それぞれ絶縁体951、絶縁体955が形成されている。

【0126】保持容量304は、容量配線917と半導体層918とその間に挟まれる第1の絶縁層902と第2の絶縁層943とから形成される。半導体層918は、画素電極920と接続配線956を介して電氣的な接続が形成される。接続配線956上には、絶縁体957が形成されている。

【0127】本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0128】次いで、アクティブマトリクス基板上に配向膜975を形成し、ラビング処理を行う。なお、本実施例では配向膜975を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ（図示はしない。）を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0129】次いで、対向基板970を用意する。対向基板970上に第1の着色層970、第2の着色層977、遮光性膜976、平坦化膜979を形成する。画素電極上方には、第1の着色層970が形成されている。

【0130】次いで、対向電極980を画素部に形成し、対向基板の全面に配向膜981を形成し、配向処理を施した。

【0131】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤958で貼り合わせる。その後、両基板の間に液晶982を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。

【0132】このようにして、図15～16に示すようなアクティブマトリクス型液晶表示装置が完成する。ゲート配線969周辺には、絶縁体985が設けられ、ゲート配線969と絶縁体985の周辺は、配向膜967で満たされている。972と985は同一の絶縁体885であるが、切り口が異なる。また、ゲート配線969の上方には、第1の着色層977、第2の着色層978が形成されている。

【0133】よって、図15～図16に示すようなアクティブマトリクス型液晶表示装置でも、ゲート配線が非選択の期間に液晶にかかるゲート電圧の絶対値を減少させることができる。さらに、本発明により、液晶の焼き付きや特性劣化を低減した液晶表示装置を提供できる。

【0134】さらに、TFT構造を逆スタガー型で形成することにより、nチャネル型TFTにおいてゲート電極とオーバーラップするLDD領域を裏面露光のプロセスにより自己整合的に形成でき、ゲート絶縁膜と半導体層を連続形成できる特徴と相まってTFTの特性ばらつきを小さくすることができる。

【0135】〔実施例6〕本実施例では、実施例1の他の結晶化法を示す。以下、図17を用いて、本発明の実施例を詳細に説明する。

【0136】まず、基板1000としてガラス基板（コーニング1737；歪点667℃）を用意した。次いで、基板1000上に積層構造のゲート電極1002を形成した。本実施例では、スパッタ法を用いて窒化タンタル膜1001a（膜厚50nm）とタンタル膜1001b（膜厚250nm）を積層形成（図17（A））し公知のパターニング技術であるフォトリソグラフィ法を用いて積層構造を有するゲート電極1002を形成した。（図17（B））

【0137】次いで、ゲート絶縁膜、非晶質半導体膜1004を順次大気開放しないで積層形成した。（図17（C））本実施例では作製工程中において基板やゲート配線からの不純物が半導体膜及びゲート絶縁膜へ拡散するのを防ぐため窒化珪素膜1003a（膜厚50nm）と酸化珪素膜1003b（膜厚125nm）をプラズマCVD法により積層形成し、積層構造のゲート絶縁膜と

した。本実施例では二層の絶縁膜をゲート絶縁膜として採用しているが、単層または三層以上の積層構造としてもよい。また、本実施例ではゲート絶縁膜上に非晶質半導体膜1004として、膜厚54nmの非晶質珪素膜（アモルファスシリコン膜）をプラズマCVD法により形成した。なお、いずれの層の界面にも大気からの汚染物質が付着しないようにするため順次大気開放せずに積層形成した。その後、半導体膜の結晶化を妨げる非晶質珪素膜中の水素濃度を低減するための加熱処理（500℃、1時間）を行った。

【0138】こうして図17（C）の状態が得られたら、非晶質半導体膜1004に対して赤外光または紫外光の照射による結晶化（レーザー結晶化）を行い、結晶質半導体膜（結晶を含む半導体膜）1005を形成した。（図17（C））結晶化技術として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。本実施例ではKrFエキシマレーザー光を線状にビーム形成して照射した。なお、照射条件としては、パルス周波数が30Hz、オーバーラップ率は96%、レーザーエネルギー密度は100～500mJ/cm<sup>2</sup>であり本実施例では360mJ/cm<sup>2</sup>とした。なお、レーザー結晶化の条件（レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等）は、非晶質半導体膜1004の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。なお、レーザー結晶化の条件によっては、初期半導体膜が熔融状態を經過して結晶化する場合や、初期半導体膜が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。この工程により非晶質半導体膜1004は結晶化され、結晶質半導体膜1005に変化する。本実施例において結晶質半導体膜とは多結晶珪素膜（ポリシリコン膜）である。

【0139】【実施例7】実施例3を用いて得られたアクティブマトリクス型液晶表示装置（図10～図11）の構成を図18の上面図を用いて説明する。なお、図10～図11と対応する部分には同じ符号を用いた。

【0140】図18で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子203、外部入力端子と各回路の入力部までを接続する配線204などが形成されたアクティブマトリクス基板201と、着色層などが形成された対向基板202とがシール材458を介して貼り合わされている。

【0141】ゲート配線側駆動回路205は、選択しているゲート配線206（＝469）のみ高電圧にして、他のゲート配線を低電圧に保つ役割を有している。そして、選択しているゲート配線が一本ずつ、ずれていく。1/60秒で上から下まで選択されたゲート配線が移動して

いく。もちろん、ゲート配線上には絶縁体が設けられている。一方、ソース配線側駆動回路207は、まず画像データ信号を受け取り、液晶に加えるべき電圧に変換する。そして、信号電圧を選択されたゲート配線に接続されている画素電極に加える役割を有している。ソース配線側駆動回路207は、ゲート配線側駆動回路205とタイミングをあわせて動作している。このように、各ゲート配線のスイッチング素子（図示しない）を順次、ゲート配線の高電圧で選択し、ソース配線208を介して所望の電圧を液晶に線順次によって加え、これを全画素に行うことにより液晶パネルの画像が得られる。

【0142】ただし、画素部507上の対向基板側に形成された着色層209は赤色（R）、緑色（G）、青色（B）の各色の着色層が各画素に対応して設けられている。実際の表示に際しては、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0143】図19は、図18で示す外部入力端子203のE-E'線に対する断面図を示している。ただし、対向基板に設けられた積層膜等は、ここでは省略した。外部入力端子はアクティブマトリクス基板に形成され、実施例1の工程中の透明導電膜のパターニングによって形成された透明導電膜217は配線211と接続する。ただし、この工程の前には、実施例1に行われた第1の層間絶縁膜209及び第2の層間絶縁膜210のエッチングとアクリル樹脂の塗布が同時に行われている。さらに、マスクを1枚用意し、アクリル樹脂を除去しておく。

【0144】その後、ベースフィルム212と配線213から形成されたFPCは、この配線213と透明導電膜217とは、熱硬化型の接着剤214とその中に分散している導電性粒子216とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。さらに、補強板215によって機械的強度を高めている。

【0145】以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【0146】【実施例8】本願発明を実施して形成された画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0147】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられ

る。それらの一例を図20、図21及び図22に示す。  
【0148】図20(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0149】図20(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0150】図20(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用することができる。

【0151】図20(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0152】図20(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0153】図20(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502に適用することができる。

【0154】図21(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0155】図21(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0156】なお、図21(C)は、図21(A)及び図21(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施

形態は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図21(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0157】また、図21(D)は、図21(C)中における光源光学系2801の構造の一例を示した図である。本実施形態では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図21(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0158】ただし、図21に示したプロジェクターにおいては、透過型の液晶表示装置を用いた場合を示しており、反射型の液晶表示装置での適用例は図示していない。

【0159】図22(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を表示部2904に適用することができる。

【0160】図22(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002に適用することができる。

【0161】図22(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0162】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1及び~実施例6のどのような組み合わせからなる構成を用いても実現することができる。

【0163】

【発明の効果】ゲート配線と上に絶縁体を設けることで、液晶に直接かかるDC電圧の絶対値を減少させることができる。

【0164】さらに、本発明による液晶表示装置の作製方法は、液晶の焼き付きや特性劣化を低減した液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の上面図。

【図2】 本発明の液晶表示装置の上面図。



【図3】 本発明の液晶表示装置の断面簡略図。

【図4】 実施例2のシミュレーションのための構造設定

【図5】 画素電極の電位が-5V時の等電位線のシミュレーション結果(実施例2)。

【図6】 画素電極の電位が+5V時の等電位線のシミュレーション結果(実施例2)。

【図7】 アクティブマトリクス基板の作製工程を示す図(実施例1)。

【図8】 アクティブマトリクス基板の作製工程を示す図(実施例1)。

【図9】 アクティブマトリクス基板の作製工程を示す図(実施例1)。

【図10】 本発明の液晶表示装置の断面図(実施例3)。

【図11】 本発明の液晶表示装置の断面図(実施例3)。

【図12】 絶縁体のSEM写真

【図13】 本発明の液晶表示装置の断面図(実施例

4)。

【図14】 本発明の液晶表示装置の断面図(実施例4)。

【図15】 本発明の液晶表示装置の断面図(実施例5)。

【図16】 本発明の液晶表示装置の断面図(実施例5)。

【図17】 アクティブマトリクス基板の作製工程を示す図(実施例6)。

【図18】 AM-LCDの外観を示す図(実施例7)。

【図19】 AM-LCDの端子部を示す図(実施例7)。

【図20】 電子機器の一例を示す図(実施例8)。

【図21】 電子機器の一例を示す図(実施例8)。

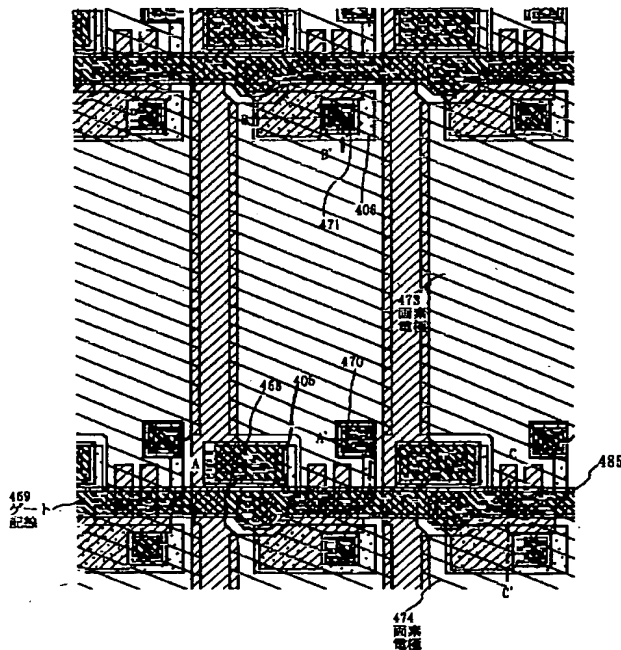
【図22】 電子機器の一例を示す図(実施例8)。

【図23】 本発明の液晶表示装置の断面簡略図。

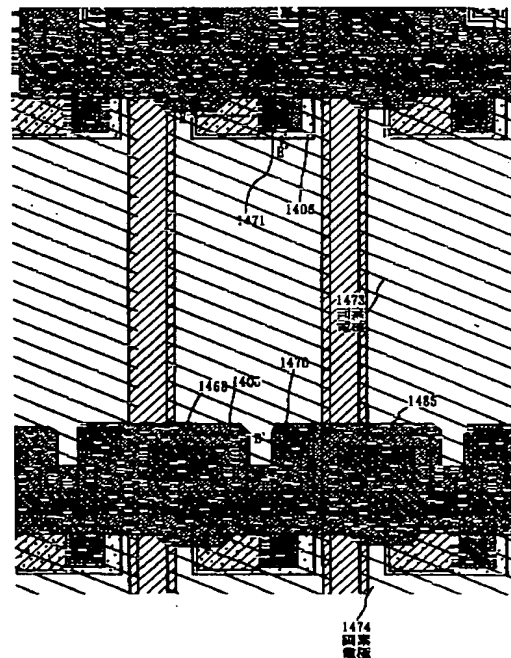
【図24】 本発明の液晶表示装置の断面図。

【図25】 本発明の液晶表示装置の断面簡略図。

【図1】

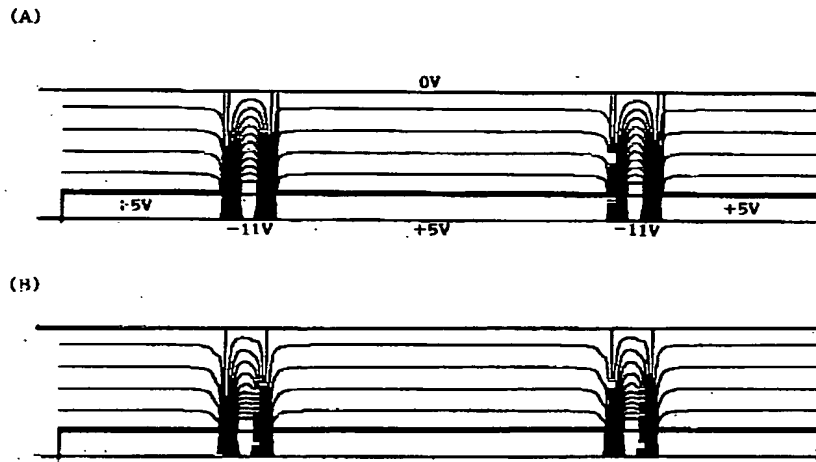


【図2】

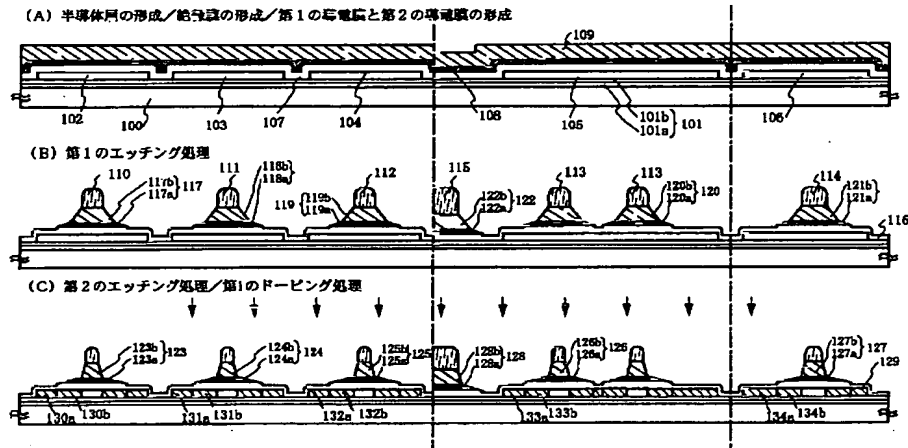




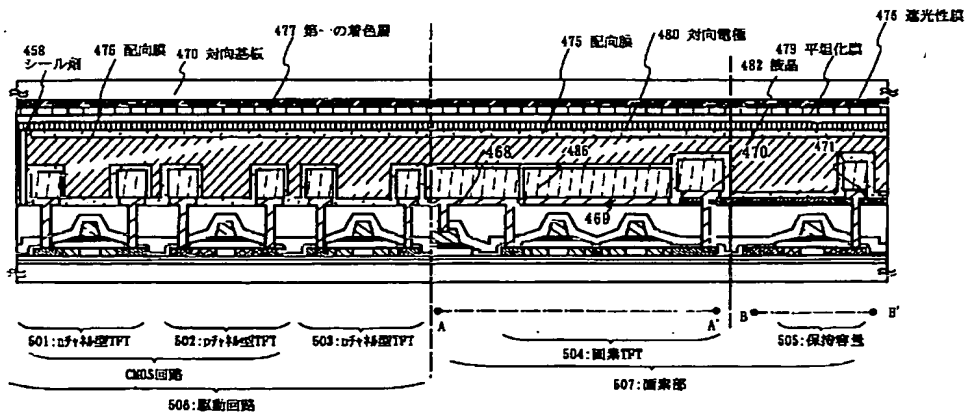
【図6】



【図7】

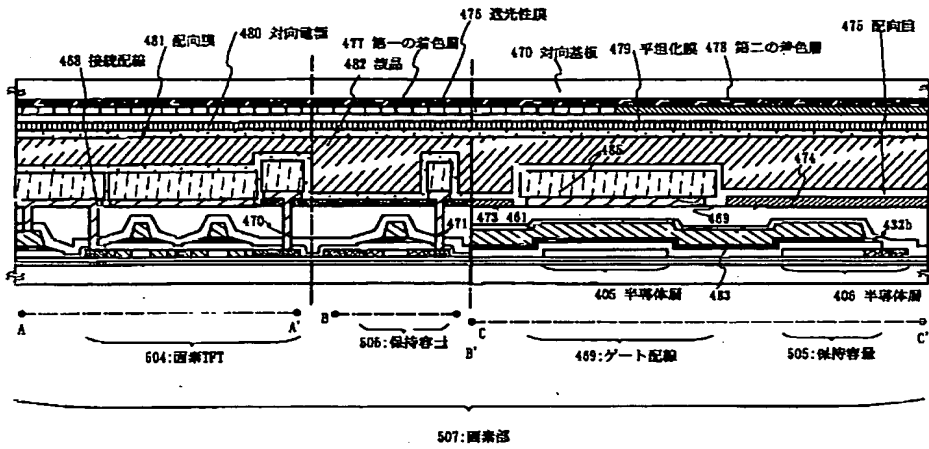


【図10】

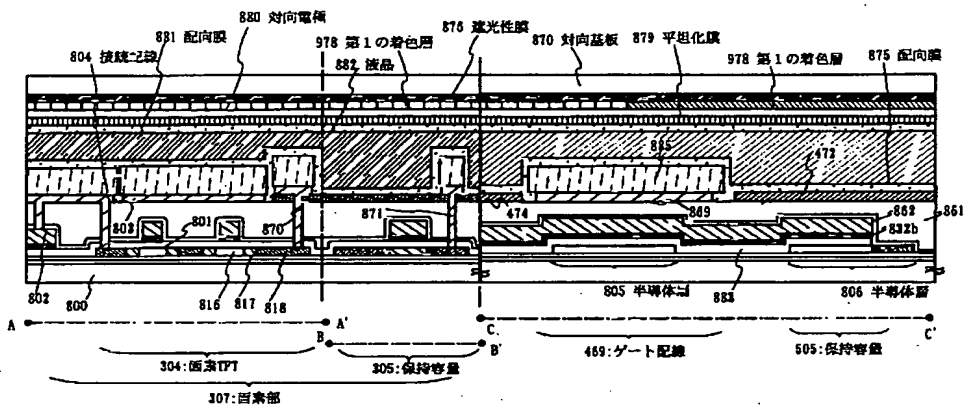




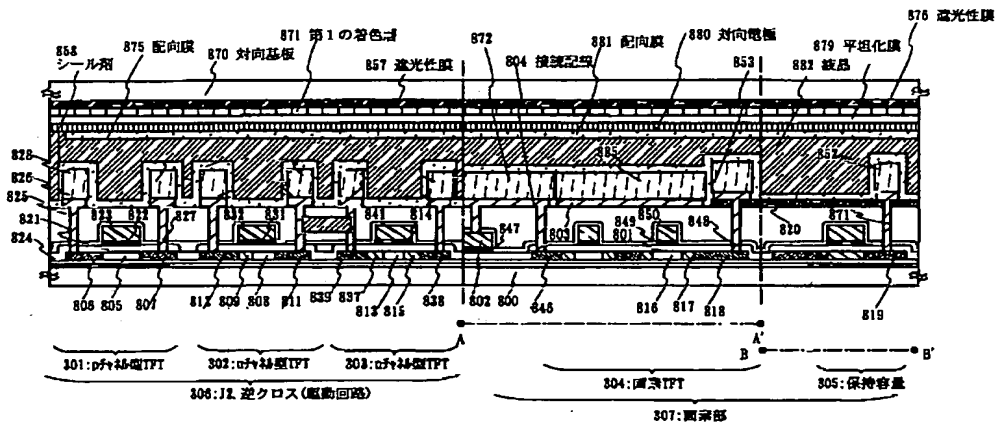
【図11】



【図13】



【図14】



【図12】

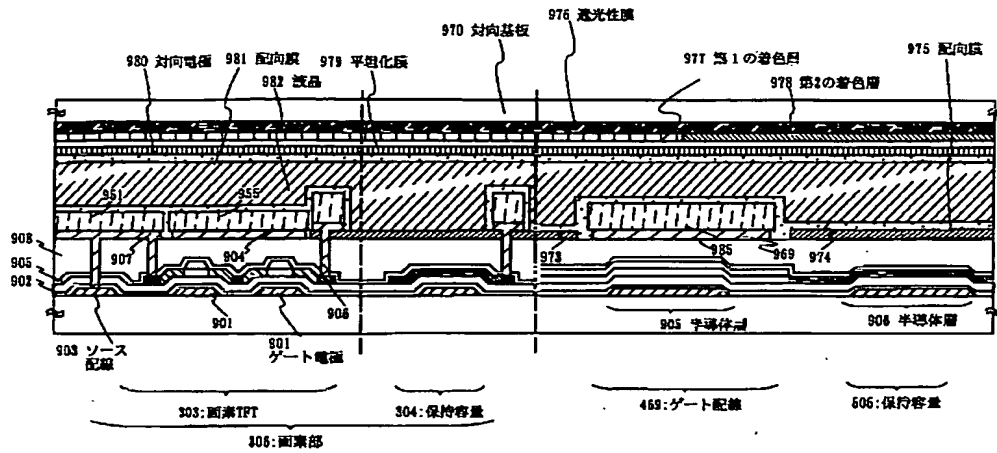
(A)



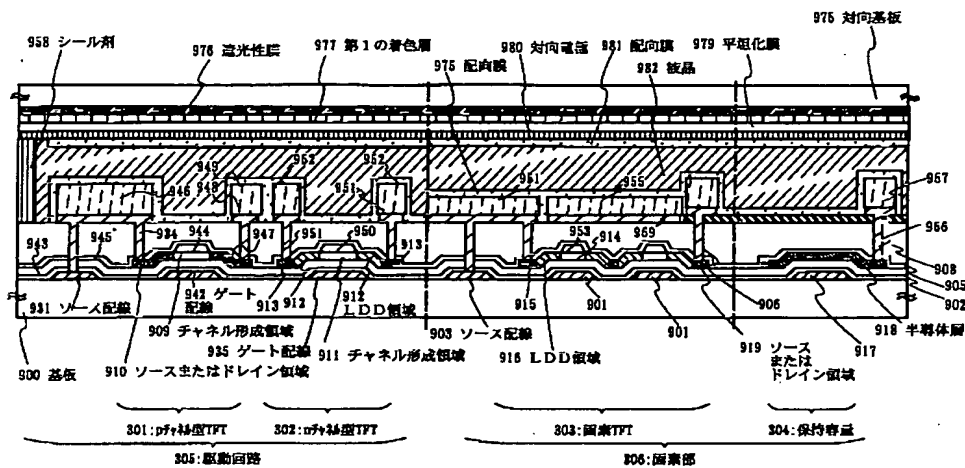
(B)



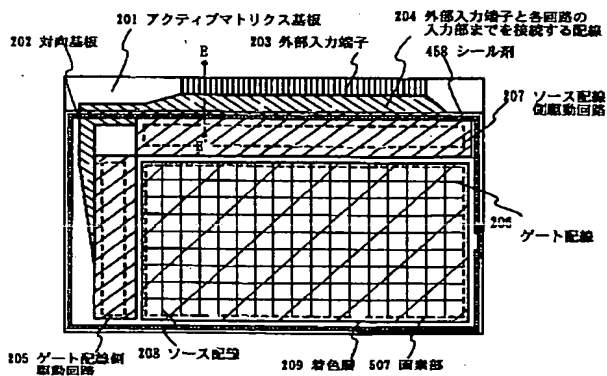
【図15】



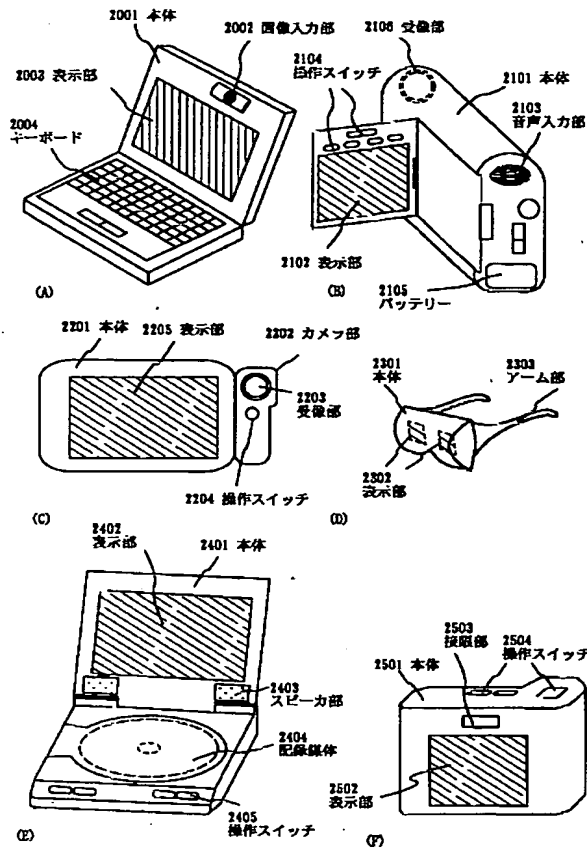
【図16】



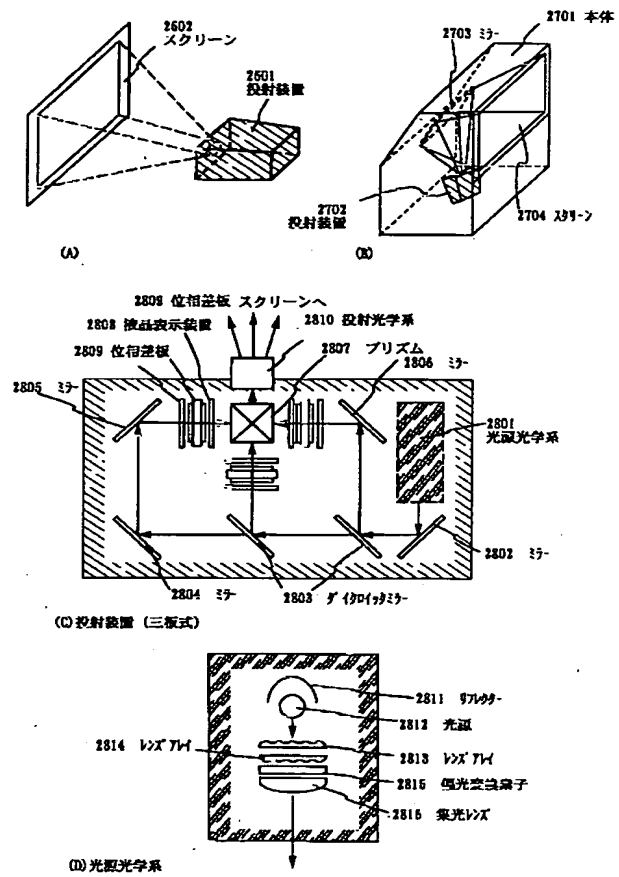
【図18】



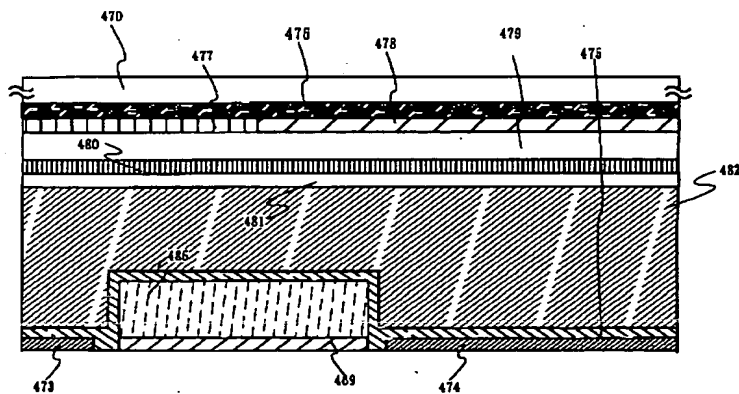
【図20】



【図21】

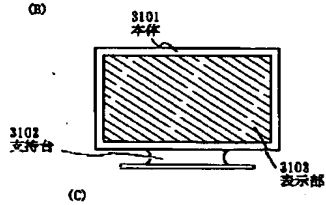
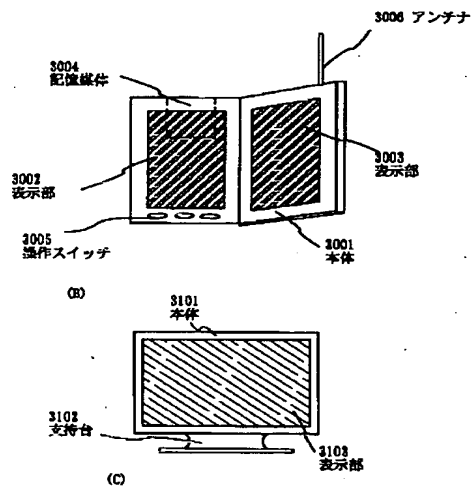
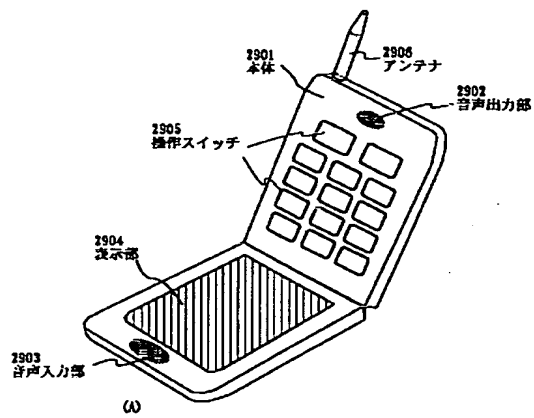


【図23】

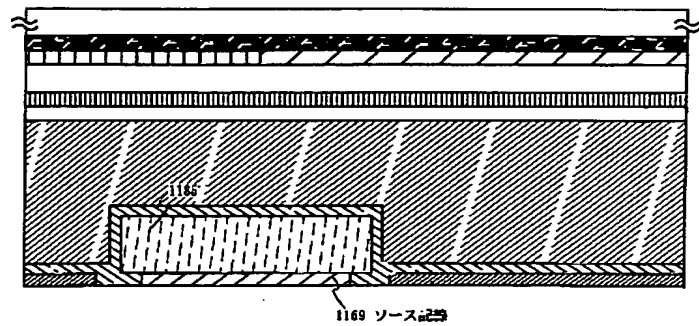




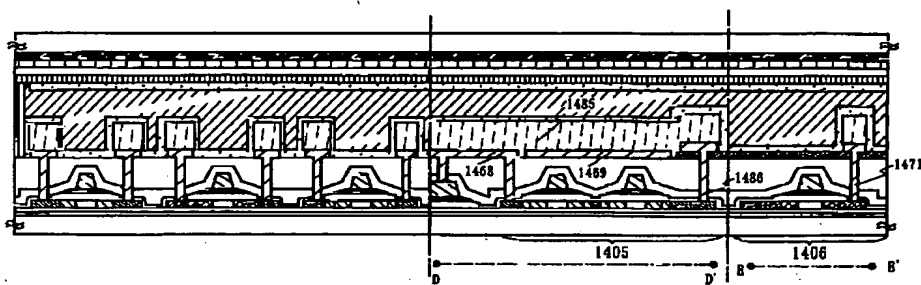
【図22】



【図25】



【図24】



フロントページの続き

(51)Int.Cl.7

識別記号

F I  
H 0 1 L 29/78

(参考)

6 1 2 C

Fターム(参考) 2H090 HB07Y HC06 HD03 HD07  
LA04  
2H092 GA59 HA04 HA28 JA26 JA33  
JA39 JA40 JB51 JB56 JB58  
JB69 KA05 KA12 KA18 KA23  
MA05 MA08 MA19 MA27 MA29  
MA30 MA37 NA01 PA02 PA03  
5C094 AA10 AA24 AA37 BA03 BA43  
CA19 DA15 EA04 EA07 GB10  
5F110 AA14 AA30 BB02 BB04 CC02  
DD01 DD02 DD03 DD05 DD13  
DD14 DD15 DD17 EE01 EE02  
EE03 EE04 EE06 EE14 EE23  
EE44 EE45 FF02 FF04 FF09  
FF28 FF30 GG01 GG02 GG13  
GG25 GG32 GG43 GG45 GG47  
HJ01 HJ04 HJ12 HJ13 HJ23  
HL07 HM15 NN04 NN27 NN28  
NN34 NN35 NN72 PP03 PP05  
PP10 PP29 PP34 PP35 QQ04  
QQ11 QQ25 QQ28

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**